

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁷

H01L 23/498

(11) 공개번호 특 2002-0049944

(43) 공개일자 2002년 06월 26일

(21) 출원번호

10-2000-0079272

(22) 출원일자

2000년 12월 20일

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산 136-1

(72) 발명자

송주성

충청북도 청주시 흥덕구 복대동 세원느티마을 105-601

(74) 대리인

강용복, 김용인

실사청구 : 없음(54) 반도체 패키지 및 그 제조방법**요약**

본 발명은 반도체 패키지에 관한 것으로서, 회로기판과 리드프레임을 접목시킨 형태의 기판으로써 공정의 단순화를 도모함과 더불어 보드 레벨의 신뢰성을 확보할 수 있는 새로운 구조의 반도체 패키지를 제공하기 위한 것이다.

이를 위해, 본 발명은 칩(1)이 안착되는 다이패들(4)과, 상기 다이패들(4) 주위에 배치되는 리드(5)와, 상기 리드(5) 상면에 부착되며 다이패들(4)이 노출되도록 하는 원도우(10)와 와이어 본딩을 위한 본드핑거(8) 및 리드(5)와의 전기적 접속을 위한 비어홀(9)이 구비된 회로기판(2)과, 상기 칩(1)의 본딩패드와 회로기판(2)의 본드핑거(8)를 전기적으로 연결하는 와이어(6)와, 상기 칩(1)과 와이어(6) 및 본드핑거(8)를 통지하는 몰드바디(7)를 포함하여서 팀을 특징으로 하는 반도체 패키지 및 그 제조방법이 제공된다.

대표도**도3****색인어**

칩, 회로기판, 리드프레임

영세서**도면의 간단한 설명**

도 1은 본 발명의 반도체 패키지를 나타낸 종단면도

도 2a 내지 도 2h는 본 발명의 패키지 제조 과정을 나타낸 것으로서,

도 2a는 본 발명 반도체 패키지 제조에 적용되는 회로기판을 나타낸 평면도

도 2b는 본 발명 반도체 패키지 제조에 적용되는 리드프레임을 나타낸 평면도

도 2c는 도 2b의 리드프레임 상부에 회로기판이 올려진 상태를 한 유니트를 예로 들어 나타낸 평면도

도 2d는 도 2c의 I-I선을 따른 종단면도

도 2e는 다이패들 상면에 칩이 어태치된 상태를 나타낸 종단면도

도 2f는 와이어 본딩후의 상태 나타낸 종단면도

도 2g는 봉지후의 상태를 나타낸 종단면도

도 2h는 트리밍 후의 상태를 나타낸 종단면도

도 3은 본 발명의 반도체 패키지가 마더보드에 실장된 상태를 나타낸 종단면도

도 4는 본 발명의 반도체 패키지가 스택된 상태를 나타낸 종단면도

• 도면의 주요부분에 대한 부호의 설명 •

1:칩 2:회로기판

3:리드프레임 4:다이패들

5:리드 6:와이어

7:홀드바디 8:본드핑거

9:비어홀 10:윈도우

11:마더보드 12:솔더

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지 및 그 제조방법에 관한 것으로서, 더욱 상세하게는 회로기판과 리드프레임을 접목시킨 형태의 기판으로써 공정의 단순화를 도모함과 더불어 보드 레벨의 신뢰성을 확보할 수 있는 새로운 구조의 반도체 패키지를 제공하기 위한 것이다.

일반적으로, 반도체 산업에서 접적회로에 대한 패키징 기술은 소형화에 대한 요구 및 실장 신뢰성을 만족시키기 위해 지금까지 계속 발전해오고 있다.

즉, 소형화에 대한 요구는 칩 스케일에 근접한 패키지에 대한 개발을 가속화시키고 있으며, 실장 신뢰성에 대한 요구는 실장작업의 효율성 및 실장후의 기계적·전기적 신뢰성을 향상시킬 수 있는 패키지 제조 기술에 대한 중요성을 부각시키고 있다.

한편, 일반적으로 반도체소자는 접적회로가 형성된 웨이퍼 상태에서 날개의 칩으로 각각 분리된 후, 이것을 플라스틱 패키지나 세라믹 패키지에 탑재하여 기판에의 실장이 용이하도록 조립하는 패키징 공정을 거치게 된다.

이와 같이 행해지는 반도체소자에 대한 패키징 공정의 주목적은 기판이나 소켓에 실장하기 위한 형상의 확보와 기능보호에 있다고 할 수 있다.

또한, 최근에는 접적회로의 고집적화에 따라 다핀화, 미세조립기술, 또 실장형태의 다양화에 따른 패키지의 다품종화 등, 조립공정과 관련된 기술도 각각 세분된 분야에 따라 크게 변화하고 있다.

반도체 조립공정의 개요에 대해 현재 가장 많이 사용되고 있는 플라스틱 타입의 반도체소자를 예로 들어 설명하면 다음과 같다.

먼저, 전기적 회로가 형성된 웨이퍼를 각각의 단일 칩으로 분리하는데, 이때 Si(실리콘)는 모스경도 7로 서 딱딱하고 깨지기 쉬운 성질을 갖고 있으므로 웨이퍼의 제조시 미리 분리할 라인에 절단하기 위한 물질을 넣어두고 이 분리라인을 따라 브레이크 용력을 가해 파괴, 분리시키는 방법을 취하는 경우가 많다.

또한, 분리된 각각의 반도체 칩은 리드프레임의 다이패들에 본딩되고, 이때의 접합방법은 Au-Si 공정(共晶)법, 납땜법, 수지접착법 등이 있으며 용도에 따라 알맞은 방법이 선택되어 사용된다.

한편, 전술한 바와 같이 반도체 칩을 리드프레임의 다이패들에 접착하는 목적은 조립이 완료된 후 기판에 실장시키기 위해서 뿐만 아니라, 전기적 입출력단자나 어스(earth)를 겸하는 일도 있으며 소자의 동작시 발생하는 열의 방열통로로서도 필요로 하는 경우가 있기 때문이다.

상기와 같이 반도체 칩을 본딩한 후에는 칩의 본딩패드와 리드프레임의 인너리드 와이어로 본딩하므로써 연결하게 되며, 와이어 본딩의 방법으로 플라스틱 통합 패키지에서는 일반적으로 골드 와이어를 사용한 열압착법 또는 열압착법과 초음파법을 혼용한 방법이 주로 이용되고 있다.

또한, 와이어 본딩에 의해 반도체 칩과 인너리드가 전기적으로 연결된 후에는 칩을 고순도의 에폭시 수

지를 사용하여 성형 통합하므로써 물드바디 형성시키는 물딩공정이 수행되는데, 이때 사용되는 에폭시 수지는 집적회로의 신뢰성을 좌우하는 중요한 요소이며, 수지의 고순도화와 물딩시 집적회로에 주어지는 용력을 저감시키기 위한 저용력화 등의 개선이 추진되고 있다.

그리고, 상기한 공정이 완료된 후에는 IC 패키지를 소켓이나 기판에 실장하기 위해 아웃터리드(outer lead)를 소정의 형상으로 절단하고 성형하는 공정이 행해지며, 아웃터리드에는 실장점합성(납땜성)을 향상시키기 위해 도금이나 납딥(dip)이 처리된다.

한편, 반도체 패키지는 실장형태 및 리드형태에 따라 여러 가지 유형으로 나뉘는데, 패키지의 대표적인 예로서는 전술한 DIP(Dual Inline Package)외에 QFP(Quad Flat Package), TSOP(Thin Small Outline Package), BGA 패키지(Ball Grid Array package), BLP(Bottom Leaded Package) 등이 있으며, 계속 다핀(多-pin)화 또 는 경박단소(輕薄短小)화 되고 있다.

상기한 패키지 타입중, BGA 패키지(Ball Grid Array package)는 반도체 칩이 부착된 기판의 이면에 구형의 슬더볼을 소정의 상태로 배열(Array)하여 아웃터리드(outer lead) 대신으로 사용하게 되며, 상기 BGA 패키지는 패키지 몸체(Package Body) 면적을 QFP(Quad Flat Package) 타입보다 작게 할 수 있으며, QFP와는 달리 리드의 변형이 없는 장점이 있다.

대신, 상기 BGA 패키지는 기존의 리드프레임에 비해 값이 비싼 회로기판을 사용하므로 제조원가가 높아지고, 반도체 칩 및 골드 와이어의 보호를 위해 봉지공정 수행시 상형 및 하형에 의해 회로기판이 놀려져 슬더마스크에 크랙이 발생할 우려가 높아지는 등의 단점이 있다.

한편, BLP(Bottom Leaded Package)는 패키지 몸체의 바텀면을 통해 노출된 리드를 이용하여 기판에 실장하므로, 패키지 몸체의 두께를 아웃터리드를 갖는 DIP나 QFP 타입에 비해 작게 할 수 있다.

그리고, 최근에는 μ -BGA등 반도체 패키지의 개발이 가속화되고 있으며, 상기한 각 반도체 패키지들은 실장면적, 입출력 단자수, 전기적 신뢰성, 제조공정의 유연성, 제조비용등에 있어 제작기 장점 및 단점을 갖고 있다.

따라서, 상기한 각 패키지들의 장점을 살리면서 단점을 해소한 새로운 타입의 반도체 패키지가 지속적으로 연구 개발되고 있는 실정이다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같이 기존의 반도체 패키지가 갖는 단점을 최대한 살리면서 단점을 해소한 새로운 타입의 반도체 패키지를 제공하기 위한 것으로서, 회로기판과 리드프레임을 접목시킨 형태의 기판을 이용하므로써 공정의 단순화를 도모함과 더불어 보드 레벨의 신뢰성을 확보할 수 있는 새로운 구조의 반도체 패키지를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해, 본 발명은 칩이 안착되는 다이패들과, 상기 다이패들 주위에 배치되는 리드와, 상기 리드 상면에 부착되어 다이패들이 노출되도록 하는 원도우와 와이어 본딩을 위한 본드 핑거 및 리드와의 전기적 접속을 위한 비어홀이 구비된 회로기판과, 상기 칩의 본딩패드와 회로기판의 본드핑거를 전기적으로 연결하는 와이어와, 상기 칩과 와이어 및 본드핑거를 봉지하는 물드바디를 포함하여서 퀼을 특징으로 하는 반도체 패키지가 제공된다.

상기한 목적을 달성하기 위한 본 발명의 다른 형태에 따르면, 다이패들 및 리드를 구비한 리드프레임 상면에 다이패들 노출을 위한 원도우와 와이어 본딩을 위한 본드핑거 및 리드와의 전기적 접속을 위한 비어홀이 구비된 회로기판 스트립을 부착하는 단계와, 상기 다이패들 상면에 칩을 부착하는 단계와, 상기 칩의 본딩패드와 회로기판의 본드핑거를 와이어를 이용하여 전기적으로 연결하는 단계와, 상기 칩과 와이어 및 본드핑거를 봉지제로 봉지하여 물드바디를 형성하는 단계와, 상기 회로기판 스트립 및 리드프레임으로부터 각 유니트가 분리되도록 트리밍하는 단계를 포함하여서 퀼을 특징으로 하는 반도체 패키지 제조방법이 제공된다.

이하, 본 발명의 실시예를 첨부도면 도 1 내지 도 4를 참조하여 설명하면 다음과 같다.

도 1은 본 발명의 반도체 패키지를 나타낸 종단면도로서, 칩(1)이 안착되는 다이패들(4)과, 상기 다이패들(4) 주위에 배치되는 리드(5)와, 상기 리드(5) 상면에 부착되어 다이패들(4)이 노출되도록 하는 원도우(10)와 와이어 본딩을 위한 본드핑거(8) 및 리드(5)와의 전기적 접속을 위한 비어홀(9)이 구비된 회로기판(2)과, 상기 칩(1)의 본딩패드와 회로기판(2)의 본드핑거(8) 전기적으로 연결하는 와이어(6)와, 상기 칩(1)과 와이어(6) 및 본드핑거(8)를 봉지하는 물드바디(7)를 포함하여 구성된다.

이 때, 회로기판(2)의 비어홀(9) 영역에는 비어홀(9)과 리드(5)가 접합되어 전기적으로 연결되도록 하는 숀더(12)가 도포된다.

한편, 상기 리드(5)와 회로기판(2) 사이 및, 다이패들(4)과 칩(1) 사이에는 어드헤시브가 개재되며, 상기 어드헤시브로서는 접착테이프 또는 애폭시가 사용된다.

한편, 상기 다이패들(4)은 회로기판(2)에 부착되는 타이바에 의해 지지되며, 몰드바디(7) 외측으로 노출된다.

이와 같이 구성된 본 발명 패키지의 제조 과정을 도 2a 내지 도 2h를 참조하여 설명하면 다음과 같다.

먼저, 도 2a에 도시된 바와 같이, 다이패들(4)이 노출되도록 하는 원도우(10)와 와이어 본딩을 위한 본드 핑거(8) 및 리드(5)와의 전기적 접속을 위한 비어홀(9)이 구비된 회로기판(2)을 준비한다.

이와 더불어, 도 2b에 도시된 바와 같이, 다이패들(4)과 이를 지지하기 위한 타이바 및 상기 다이패들(4) 주위에 배치되는 리드(5)를 구비한 리드프레임(3)을 준비한다.

이 때, 리드(5)들에는 리드 테이프(13)가 부착되어 있다.

이와 같이 회로기판 스트립(200) 및 리드프레임(3)이 준비된 상태에서, 도 2c 및 도 2d에 나타낸 바와 같이 리드프레임(3) 상부면에 회로기판 스트립(200)을 부착한다.

그 후, 도 2e에 나타낸 바와 같이, 상기 다이패들(4) 상면에 칩(1)을 어태치하고, 이어 도 2f에서와 같이 칩(1)의 본딩패드와 회로기판(2)의 본드핑거(8)를 골드와이어(6) 등으로 연결하는 와이어 본딩을 실시한다.

그 다음, 도 2g에 나타낸 바와 같이, 칩(1)과 와이어(6)와 본드핑거(8)를 봉지제로써 봉지하여 몰드바디(7)를 형성한다.

상기, 몰드바디(7)는 트랜스퍼 몰딩에 의해 수행가능하며, 이 때 상기 다이패들(4) 저면은 몰드바디(7) 외측으로 노출되어 히트싱크 역할을 겸하게 된다.

한편, 몰드바디(7) 형성후에는, 도 2h에 나타낸 바와 같이 트리밍하여 리드를 리드프레임으로부터 분리 시킴과 동시에 개별 유니트별로 분리하므로써 반도체 패키지를 완성하게 된다.

상기와 같이 제조된 본 발명의 반도체 패키지는 마더보드(11)등에의 실장시, 도 3에 나타낸 바와 같이 트리밍된 비어홀(9) 영역에 숀더(12)를 도포하여 비어홀(9)과 리드(5)가 전기적으로 접속되도록 한 상태에서 실장하게 된다.

이와 같이 제조된 본 발명의 반도체 패키지는 리드프레임(3)을 사용하므로써 구조적으로 강하고, 리드(5)가 기판에 직접 접합되므로 접합 신뢰성이 향상된다.

한편, 회로기판 스트립(200)과 리드프레임(3)을 단순 접합 후 와이어 본딩 및 몰딩을 이용하는 간단한 공정에 의해 제조하며, 스트립 상태에서 전공정을 끝낸 후 날개로 분리하기 때문에 제조시간을 단축시킬 수 있게 된다.

또한, 본 발명의 패키지는 다이패들(4) 저면이 몰드바디(7) 외측으로 노출되어 히트싱크 역할을 함에 따라, 열방출 성능이 향상된다.

한편, 본 발명의 반도체 패키지는 도 4에 도시한 바와 같은 형태로 스택 패키지를 구현할 수 있게 된다.

발명의 효과

이상에서와 같이, 본 발명은 기존의 반도체 패키지가 갖는 장점을 최대한 살리면서 단점은 해소한 새로운 타입의 반도체 패키지를 제공하기 위한 것이다.

즉, 본 발명은 회로기판과 리드프레임을 접목시킨 형태의 기판으로써 공정의 단순화를 도모함과 더불어 보드 레벨의 신뢰성을 확보할 수 있는 새로운 구조의 반도체 패키지를 제공할 수 있게 된다.

(57) 청구의 범위

청구항 1

칩이 안착되는 다이패들과,

상기 다이패들 주위에 배치되는 리드와,

상기 리드 상면에 부착되며 다이파들이 노출되도록 하는 원도우와 와이어 본딩을 위한 본드핑거 및 리드와의 전기적 접속을 위한 비어홀이 구비된 회로기판과,

상기 칩의 본딩패드와 회로기판의 본드핑거를 전기적으로 연결하는 와이어와,

상기 칩과 와이어 및 본드핑거를 봉지하는 몰드바디를 포함하여서 텁을 특징으로 하는 반도체 패키지.

청구항 2

제 1 항에 있어서,

상기 회로기판의 비어홀 영역에 도포되어 상기 비어홀과 리드가 전기적으로 연결되도록 하는 슬더가 포함됨을 특징으로 하는 반도체 패키지.

청구항 3

제 1 항에 있어서,

상기 리드와 회로기판 사이 및, 다이파들과 칩 사이에는 어드헤시브가 개재됨을 특징으로 하는 반도체 패키지.

청구항 4

제 3 항에 있어서,

상기 어드헤시브는 접착테이프 또는 에폭시임을 특징으로 하는 반도체 패키지.

청구항 5

제 1 항에 있어서,

상기 다이파들 저면은 몰드바디 외측으로 노출됨을 특징으로 하는 반도체 패키지.

청구항 6

제 1 항에 있어서,

상기 몰드바디는 트랜스퍼 몰딩에 의해 형성됨을 특징으로 하는 반도체 패키지.

청구항 7

다이파들 및 리드를 구비한 리드프레임 상면에 다이파들 노출을 위한 원도우와 와이어 본딩을 위한 본드핑거 및 리드와의 전기적 접속을 위한 비어홀이 구비된 회로기판 스트립을 부착하는 단계와,

상기 다이파들 상면에 칩을 부착하는 단계와,

상기 칩의 본딩패드와 회로기판의 본드핑거를 와이어를 이용하여 전기적으로 연결하는 단계와,

상기 칩과 와이어 및 본드핑거를 봉지제로 봉지하여 몰드바디를 형성하는 단계와,

상기 회로기판 스트립 및 리드프레임으로부터 각 유니트가 분리되도록 트리밍하는 단계를 포함하여서 텁을 특징으로 하는 반도체 패키지 제조방법.

청구항 8

제 7 항에 있어서,

상기 어드헤시브는 열전도성 접착테이프 또는 에폭시임을 특징으로 하는 반도체 패키지 제조방법.

청구항 9

제 7 항에 있어서,

몰드바디를 형성하는 단계는 트랜스퍼 몰딩에 의해 수행됨을 특징으로 하는 반도체 패키지 제조방법.

청구항 10

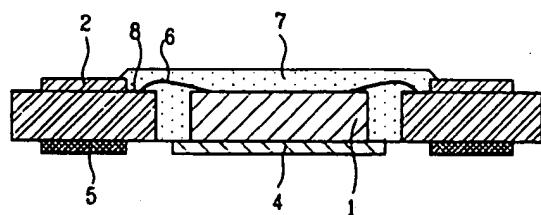
제 7 항에 있어서,

회로기판의 비어 영역에 도포되는 슬더에 의해 비어홀과 리드가 전기적으로 연결되도록 접합됨

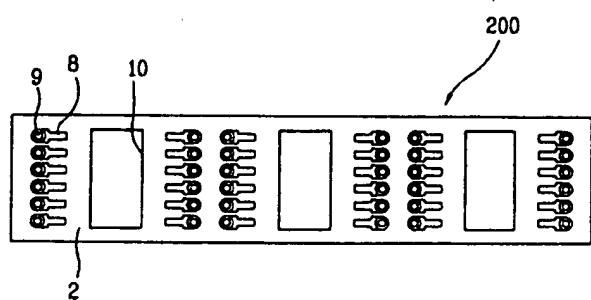
을 특징으로 하는 반도체 패키지 제조방법.

도면

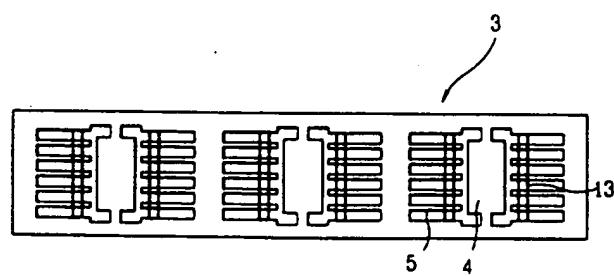
도면1



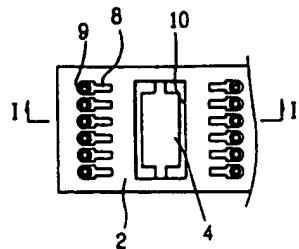
도면2a



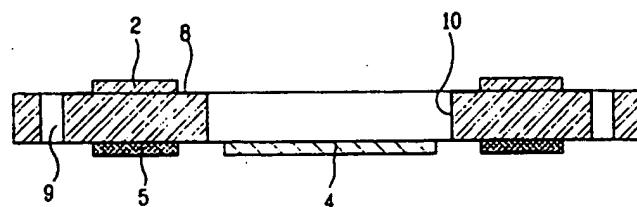
도면2b



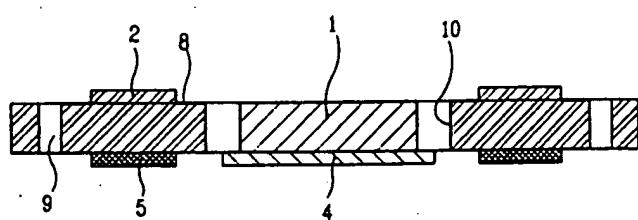
도면2c



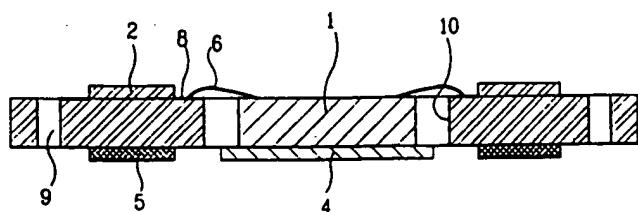
도면2d



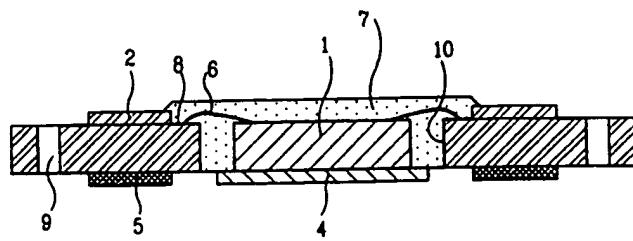
도면2e



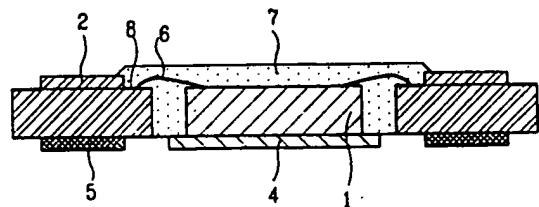
도면2f



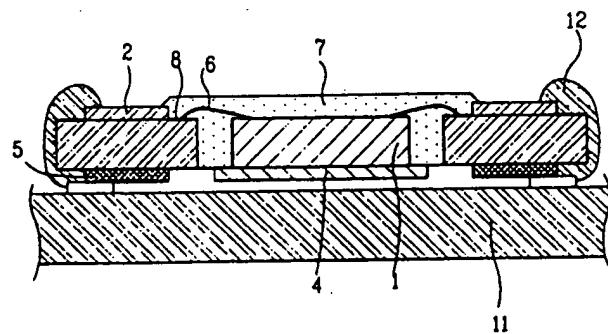
도면2g



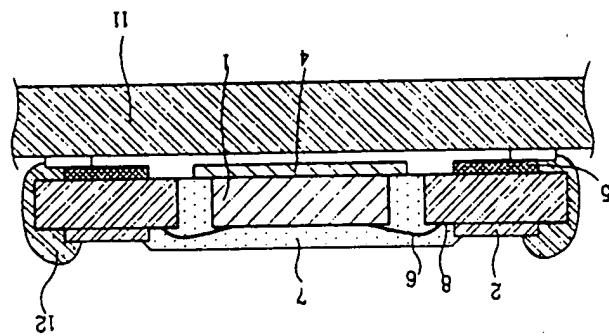
도면2h



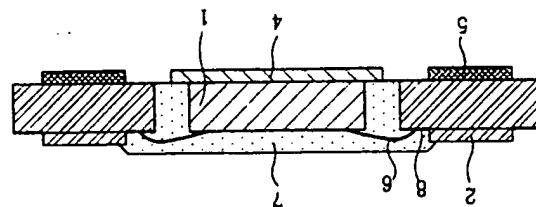
도면3



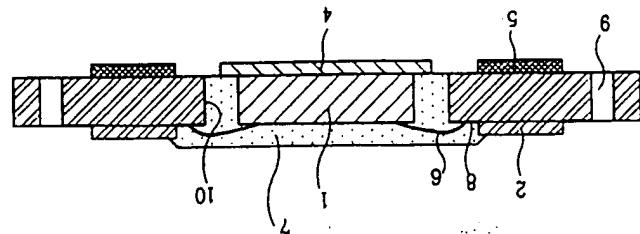
8-8



EE3



EE2h



EE2g